Instrução: ADD

|  |  |
| --- | --- |
| Mnemônico | add $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 00001 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 + $3 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 e $3 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Soma de números inteiros |
| Tipo de endereçamento da instrução | Registrador |

Instrução: ADDI

|  |  |
| --- | --- |
| Mnemônico | addi $1, $2, immediate |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | NULL | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 00010 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 + IMM |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 é o registrador fonte (5 bits) |
| Tipo de operações que a instrução demanda | Soma de números inteiros |
| Tipo de endereçamento da instrução | Registrador |

Instrução: SUB

|  |  |
| --- | --- |
| Mnemônico | sub $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 00011 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 - $3 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 e $3 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Subtração de números inteiros |
| Tipo de endereçamento da instrução | Registrador |

Instrução: MUL

|  |  |
| --- | --- |
| Mnemônico | mul $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 00100 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 \* $3 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 e $3 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Multiplicação de números inteiros |
| Tipo de endereçamento da instrução | Registrador |

Instrução: DIV

|  |  |
| --- | --- |
| Mnemônico | div $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 00101 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 / $3 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 e $3 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Divisão de números inteiros |
| Tipo de endereçamento da instrução | Registrador |

Instrução: AND

|  |  |
| --- | --- |
| Mnemônico | and $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 00110 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 & $3 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 e $3 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | AND bit a bit |
| Tipo de endereçamento da instrução | Registrador |

Instrução: OR

|  |  |
| --- | --- |
| Mnemônico | or $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 00111 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 | $3 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 e $3 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | OR bit a bit |
| Tipo de endereçamento da instrução | Registrador |

Instrução: AND IMMEDIATE

|  |  |
| --- | --- |
| Mnemônico | andi $1, $2, immediate |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01000 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 & IMM |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 é o registrador fonte (5 bits) |
| Tipo de operações que a instrução demanda | AND bit a bit |
| Tipo de endereçamento da instrução | Registrador |

Instrução: SLL

|  |  |
| --- | --- |
| Mnemônico | sll $1, $2, immediate |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01001 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 << IMM |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 é o registrador fonte (5 bits) |
| Tipo de operações que a instrução demanda | Shift lógico |
| Tipo de endereçamento da instrução | Registrador |

Instrução: SRL

|  |  |
| --- | --- |
| Mnemônico | srl $1, $2, immediate |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01010 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 >> IMM |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 é o registrador fonte (5 bits) |
| Tipo de operações que a instrução demanda | Shift lógico |
| Tipo de endereçamento da instrução | Registrador |

Instrução: LW

|  |  |
| --- | --- |
| Mnemônico | lw $1, $2, immediate |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | NULL | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01011 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = Memory [IMM + $2] |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador destino (5 bits)  $2 é o registrador fonte com o endereço (5 bits) |
| Tipo de operações que a instrução demanda | Leitura da memória |
| Tipo de endereçamento da instrução | registrador |

Instrução: SW

|  |  |
| --- | --- |
| Mnemônico | sw $1, $2, immediate |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01100 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | Memory [IMM + $1] = $2 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador fonte (5 bits)  $2 é o registrador com o endereço destino (5 bits) |
| Tipo de operações que a instrução demanda | Escrita na memória |
| Tipo de endereçamento da instrução | Registrador |

Instrução: DIVC

|  |  |
| --- | --- |
| Mnemônico | divc $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 01101 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 = $2 / $3 |
| Discriminação de cada operando (tamanho e tipo) | Temos 2 operando do tipo endereço (5 bits) |
| Tipo de operações que a instrução demanda | Leitura e escrita em memória |
| Tipo de endereçamento da instrução | Registrador |

Instrução: BEQ

|  |  |
| --- | --- |
| Mnemônico | beq $1, $2, OFFSET |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01110 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | If $1==$2  PC = IMM + PC + 1 |
| Discriminação de cada operando (tamanho e tipo) | $1 e $2 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Operação de comparação e soma |
| Tipo de endereçamento da instrução | Registrador |

Instrução: BLT

|  |  |
| --- | --- |
| Mnemônico | blt $1, $2, LABEL |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 01111 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | If $1 < $2  PC = IMM + PC + 1 |
| Discriminação de cada operando (tamanho e tipo) | $1 e $2 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Operação de comparação e soma |
| Tipo de endereçamento da instrução | Registrador |

Instrução: BGT

|  |  |
| --- | --- |
| Mnemônico | bgt $1, $2, LABEL |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | NULL | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 10000 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 3, 2 ou 0 |
| Exemplo de uso da instrução | If $1 > $2  PC = IMM + PC + 1 |
| Discriminação de cada operando (tamanho e tipo) | $1 e $2 são os registradores fonte (5 bits cada) |
| Tipo de operações que a instrução demanda | Operação de comparação e soma |
| Tipo de endereçamento da instrução | Registrador |

Instrução: JMP

|  |  |
| --- | --- |
| Mnemônico | jmp $1 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 10001 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 1 |
| Exemplo de uso da instrução | PC = $1 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador com o endereço destino do PC |
| Tipo de operações que a instrução demanda |  |
| Tipo de endereçamento da instrução | Registrador |

Instrução: JAL

|  |  |
| --- | --- |
| Mnemônico | jal $1 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE2 | | | | | R\_ DESTINY | | | | | IMM | | | | | | | | | | | | |
| *Opcode* | 10010 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 1 |
| Exemplo de uso da instrução | $ra = PC + 1  PC = $1 |
| Discriminação de cada operando (tamanho e tipo) | $1 é o registrador com o endereço destino do PC |
| Tipo de operações que a instrução demanda |  |
| Tipo de endereçamento da instrução | Registrador |

Instrução: ADDC

|  |  |
| --- | --- |
| Mnemônico | addc $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 10011 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 <- $2 + $3 |
| Discriminação de cada operando (tamanho e tipo) | Temos 2 operando do tipo endereço (5 bits) |
| Tipo de operações que a instrução demanda | Operação de Números Complexos (No registrador são 16 bits representando a parte real e 16 bits representando a parte imaginária) |
| Tipo de endereçamento da instrução | Registrador |

Instrução: SUBC

|  |  |
| --- | --- |
| Mnemônico | subc $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 10100 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 <- $2 - $3 |
| Discriminação de cada operando (tamanho e tipo) | Temos 2 operando do tipo endereço (5 bits) |
| Tipo de operações que a instrução demanda | Operação de Números Complexos (No registrador são 16 bits representando a parte real e 16 bits representando a parte imaginária) |
| Tipo de endereçamento da instrução | Registrador |

Instrução: MULC

|  |  |
| --- | --- |
| Mnemônico | mulc $1, $2, $3 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_ DESTINY | | | | | SHIFT | | | | | FUNCT | | | | | | | |
| *Opcode* | 10101 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 2 |
| Exemplo de uso da instrução | $1 <- $2 \* $3 |
| Discriminação de cada operando (tamanho e tipo) | Temos 2 operando do tipo endereço (5 bits) |
| Tipo de operações que a instrução demanda | Operação de Números Complexos (No registrador são 16 bits representando a parte real e 16 bits representando a parte imaginária) |
| Tipo de endereçamento da instrução | Registrador |

Instrução: ABS

|  |  |
| --- | --- |
| Mnemônico | abs $1, $2 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | DESTINY | | | | | FUNCT | | | | | | | | | | | | |
| *Opcode* | 10110 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 1 |
| Exemplo de uso da instrução | $1 <- abs($2) |
| Discriminação de cada operando (tamanho e tipo) | Temos 1 operando do tipo endereço (5 bits) |
| Tipo de operações que a instrução demanda | Operação de Números Complexos (No registrador são 16 bits representando a parte real e 16 bits representando a parte imaginária) |
| Tipo de endereçamento da instrução | Registrador |

Instrução: CONJ

|  |  |
| --- | --- |
| Mnemônico | conj $1, $2 |
| Mapa de campos da sua instrução | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | | OPCODE | | | | | R\_ SOURCE1 | | | | | R\_SOURCE1 | | | | | R\_DESTINY | | | | | FUNCT | | | | | | | | | | | | |
| *Opcode* | 10111 |
| Tamanho da instrução | 32 bits |
| Quantidade de operandos | 1 |
| Exemplo de uso da instrução | $1 <- conj($2) |
| Discriminação de cada operando (tamanho e tipo) | Temos 1 operando do tipo endereço (5 bits) |
| Tipo de operações que a instrução demanda | Operação de Números Complexos (No registrador são 16 bits representando a parte real e 16 bits representando a parte imaginária) |
| Tipo de endereçamento da instrução | Registrador |